

Elektronik zwischen Katastrophenfolgen und Marktanforderungen

DAS SILICON VALLEY IM ZEICHEN WECHSELNDER MARKTPRIORITÄTEN – EIN REISEBERICHT AUS KALIFORNIEN

HENNING WRIEDT

■ Der „Globalpress Electronics Summit“, ein jährliches Zusammentreffen von Fachjournalisten mit Experten aus dem Silicon Valley, stand in diesem Frühjahr ganz unter dem Zeichen der Tsunami- und Reaktorkatastrophe in Japan. Von zahlreichen Managern war zu hören, dass man laufend mit japanischen Geschäftspartnern in Kontakt stehe – nicht nur um den Notleidenden zu helfen. Man ist gleichermaßen bestrebt, die vereinbarten globalen Geschäftsabläufe zu überprüfen und noch flexibler als bisher zu gestalten, um mögliche Beeinträchtigungen zu minimieren, auch wenn die Gerücheküche zum Bei-

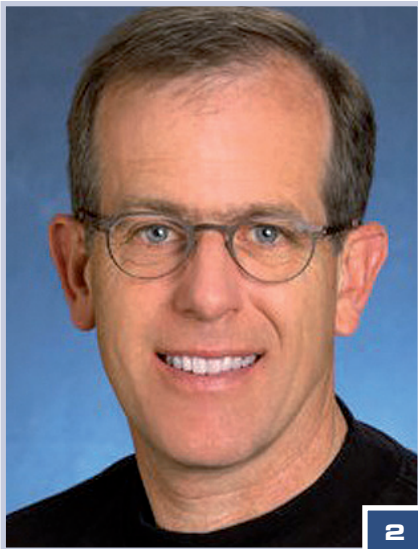
spiel in Sachen Siliziumnachschub wild am Kochen ist.

Ein weiteres wichtiges (und positiveres) Thema ist die Tatsache, dass die weltweiten Investoren wieder größere Summen in Richtung Silicon Valley umleiten. Es bleibt abzuwarten, in wieweit die Halbleiterindustrie davon Nutzen ziehen kann, da die populären Internetfirmen derzeit noch in der Lage sind, höhere Profitspannen zu versprechen.

Um einen gewichtigen Teil der Investorengelder für sich in Anspruch nehmen zu können, ist das Entwicklungstempo der Halbleiterunternehmen allerdings ungebrochen, wie man auf dem Summit feststellen konnte. Hier sind einige der Highlights gelistet.



Bild 1. Art Swift, MIPS Technologies: Die Prodigy-Core-Familie wird eine eindeutige Code-Kompatibilität aufweisen und eine elegante Aufwärtsmigration von MIPS32- zu MIPS64-Architekturen ermöglichen



2

Bild 2. Dr. Chris Rowen, Tensilica: Die Xtensa LX4 DPU wird das Bandbreitenangebot für Bildverarbeitung, Video, Netzwerke und Basisband-Kommunikation vervierfachen

IP Core für 64-Bit-Prozessoren mit simultanem Multi-Threading. Art Swift, VP für Marketing und Business Development bei MIPS Technologies, ließ es sich nicht nehmen, bei dieser Veranstaltung das firmeneigene Projekt „Prodigy“ vorzustellen (**Bild 1** und **Titelbild**) – den nach Swifts Aussage industrieweit erstern IP-Core, der eine 64-Bit-Prozessorarchitektur mit simultanem Multi-Threading (SMT) und kohärentem Multiprocessing kombiniert. In allen drei Technologien weist das Unternehmen jahrelange Erfahrung auf. Die Prodigy-Core-Familie wird nicht nur eine eindeutige Code-Kompatibilität aufweisen, sondern auch eine elegante Aufwärtsmigration zwischen den MIPS32- und MIPS64-Architekturen mit sich bringen. Damit verlängert sich eine interessante Produkttradition, die mit der Vorstellung des 64-Bit-MIPS-R4000-Mikroprozessors 1991 begonnen hatte.

IP-Core für Dataplane- und Signalverarbeitungsfunktionen. Tensilica, reich an Erfahrung mit IP-Cores für verarbeitungsentensive Dataplane- und DSP-Funktionen, erweitert sein Produktangebot mit der „Xtensa LX4“ DPU, die in den Bereichen Bildverarbeitung, Video, Netzwerke und Basisband-Kommunikation das herrschende Bandbreiten-

Bild 4. ISL3247/8/9xE heißen robuste und fehlergeschützte RS-485/-422-Transceiver von Intersil mit Überspannungsschutz, hoher ESD-Toleranz und weitem Gleichaktbereich

angebot auf das Vierfache erweitern soll. Laut Dr. Chris Rowen, Gründer und CTO des Unternehmens (**Bild 2**), unterstützt die neue DPU lokale Datenspeicher-Bandbreiten von bis zu 1024 Bit pro Zyklus, ebenso breitere VLIW-Instruktionen von bis zu 128 Bit für eine parallele Verarbeitung sowie eine Prefetch-Option für den Cachespeicher. Designern soll sie dazu verhelfen, superbreite SIMD (Single Instruction Multiple Data) DSPs zu realisieren, die pro Taktzyklus mehr Daten in mehr MACs übertragen können. – Das verspricht eine hervorragende Performance.

Online-Design von Multiple-Load-Stromversorgungen für ARM-Prozessoren.

Phil Gibson, VP, Marketing & Web Operations bei National Semiconductor (**Bild 3**), stellte während des Summits eine Entwicklungsumgebung mit der Bezeichnung „Webench Processor Power Architect“ vor. damit lassen sich laut Gibson in kürzester Zeit Stromversorgungen für ARM-Prozessoren von Atmel und Freescale modellieren und optimieren. Das Werkzeug unterstützt die neuesten hocheffizienten Point-of-Load-Regler und „Simple-Switcher“-Module von National. Es enthält die detaillierten Stromversorgungsspezifikationen von mehr als 50 der neuesten ARM-Prozessoren von Atmel und Freescale.

Mit Rücksicht auf die niedrigen Ströme, welche die Systeme mit den ARM-Prozessoren aufnehmen, werden den Designern neben hocheffizienten Schaltreglern auch mehr als 50 LDO-Regler zur Auswahl gestellt. Man darf gespannt sein, wie diese Designhilfe weiter ausgebaut wird, sobald Texas Instruments die Übernahme von National abgeschlossen hat.



3

Bild 3. Phil Gibson, National Semiconductor: Mit dem Webench Processor Power Architect lassen sich in kürzester Zeit Stromversorgungen für ARM-Prozessoren von Atmel und Freescale modellieren und optimieren

Rauscharme Verstärker und ADCs bis 500 MSPS. David Bell, President und CEO von Intersil, sieht für sein Unternehmen auch in Zukunft signifikante Erfolge im Bereich des Power-Managements für PCs, speziell im Hinblick auf die firmeneigenen Zilker-Labs-Produkte. Auch mit den DSL-Leitungstreibern kann Bell sehr gute Erfolge vermelden. Zu den interessanten Neuankündigungen gehört ein differenzieller E/A-Verstärker („ISL55210“), der hinsichtlich SFDR, Nachführtrate und SNR ausgezeichnete Werte aufweist, ebenso eine gleich bleibende Performance über einen weiten Temperatur- und Verstärkungsbereich, und zudem nur 115 mW benötigt.

Außerdem gibt es von Intersil eine neue A/D-Wandler-Familie mit 130 bis 500 MSPS und pinkompatiblen Varianten von 12 bis 16 Bit. Das erste Modell ist



4



5

Bild 5. Bradley Howe, Altera: Die Integration von optischen Interfaces wird den Leistungsbedarf künftiger Transceiver um bis zu 70 Prozent senken und zusätzlich die Portdichte und Bandbreite erheblich steigern

der „ISLA214P50“, ein 14-Bit-A/D-Wandler mit 500 MSPS, der erheblich weniger Leistung aufnimmt als vergleichbare Wandler. Mit integriert ist die firmeneigene „FemtoCharge“-Technologie, die eine Versorgungsspannung von nur 1,8 V zulässt.

Bei der ebenfalls vorgestellten Produktserie „ISL3247/8/9xE“ handelt es sich um robuste und fehlergeschützte RS-485/422-Transceiver mit Überspannungsschutz (± 60 V), hoher Toleranz gegenüber ESD ($\pm 16,5$ kV) und einem weiten Gleichtaktbereich (± 25 V). Mit diesen Eigenschaften eignen sich diese Transceiver für die Verwendung unter ungünstigen Umgebungsbedingungen (Bild 4).

Chip-to-Chip-Datenübertragung mit Licht. Bradley Howe, VP Engineering von Altera (Bild 5), erhielt die ungeteilte Aufmerksamkeit seines Fachpublikums,

als er die Pläne seines Unternehmens erläuterte, die traditionellen Leitungsverbindungen aus Kupfer sowohl in Chips als auch in Subsystemen durch bandbreitenstarke Lichtleiter zu ersetzen. Da zahllose Applikationen immer höhere Daten-Bandbreiten fordern, will Altera hier seine langjährigen Kenntnisse in Sachen System-Interface-Techniken in direkt-optische Schnittstellen einbringen. Howe verweist unter anderem auf computer- und speicherintensive Datenzentren, wo die Integration von optischen Interfaces nicht nur den Leistungsbedarf um bis zu 70 Prozent senken wird, sondern zusätzlich die Portdichte und Bandbreite erheblich steigert. Alteras zukünftige Transceiver (Bild 6) dürften mit dieser Opto-Technologie ihre Datenraten und die Signalintegrität sehr deutlich verbessern.

Programmierbare ICs senken nicht nur Designkosten.

Nach einem etwas verhaltenen Jahr 2009 konnte Darin Billerbeck, President und CEO von Lattice Semiconductor (Bild 7), für 2010 erfreuliche Zahlen vorstellen: Bei einem Umsatz von fast 300 Millionen US-Dollar erzielte sein Unternehmen einen Gewinn von 57 Millionen US-Dollar; im Vorjahr waren es noch 194 Millionen US-Dollar Umsatz und ein leichter Verlust. Mit einem sorgfältig abgestuften Produktprogramm an FPGAs, CPLDs sowie programmierbaren ICs für das Power- und Takt-Management konnte das Unternehmen in den letzten zehn Jahren eine Milliarde ICs an Kunden liefern.

Bei der „ECP3“-Familie handelt es sich um mittelkomplexe FPGAs mit SerDes, DSP-Blöcken und stets aktuellen Speicher-Interfaces, einschließlich DDR3 (800 Mbps). Die „MachXO2“-Familie an



7

Bild 7. Darin Billerbeck, Lattice Semiconductor: Mit seinem sorgfältig abgestuften Produktprogramm konnte das Unternehmen in den letzten zehn Jahren eine Milliarde ICs ausliefern

NV-PLDs ist unbeschränkt oft rekonfigurierbar und eignet sich aufgrund eines geringen Leistungsbedarfs (statische Aufnahme bei etwa $19 \mu\text{W}$) besonders für Smartphones, GPS-Geräte und PDAs. Der Platzbedarf liegt bei $2,5 \text{ mm}^2$. Besonders gefragte Funktionen sind bereits hart implementiert.

Die „Platform-Manager“-ICs eignen sich für ein Board-Management-Design, denn sie reduzieren Kosten durch die Integration diskreter Komponenten mit mehreren ICs für zahlreiche Funktionen, wie Power-Überwachung, Sequenzieren, Resets, Trimmen und Hot-Swap. Der Platform-Manager kann aufgrund seiner Funktionsflexibilität auch als Standard für unterschiedliche Produktdesigns verwendet werden. Respins für Board-Layouts werden damit minimiert.

3D-ICs: Design, Verifikation, Herstellung und Test.

Walden C. Rhines, Chairman und CEO von Mentor Graphics (Bild 8) äußerte sich in Sachen 3D- (und 2,5D-) ICs und erklärte, wie sich sein Unternehmen auf die dazugehörigen EDA-Anforderungen einstellt, einschließlich Testlösungen auf der Basis der Tessent-Produktlinie und der BIST-Methode. Die Kombination der Tessent-„TestKompress“- und -„LogicBIST“-Logiktestprodukte erzielt sowohl hoch komprimierte, deterministische Scan-Muster sowie auf dem Chip erzeugte Zufallsmuster, die zusammen eine hohe Testabdeckung und eine minimierte Testzeit mit sich bringen.

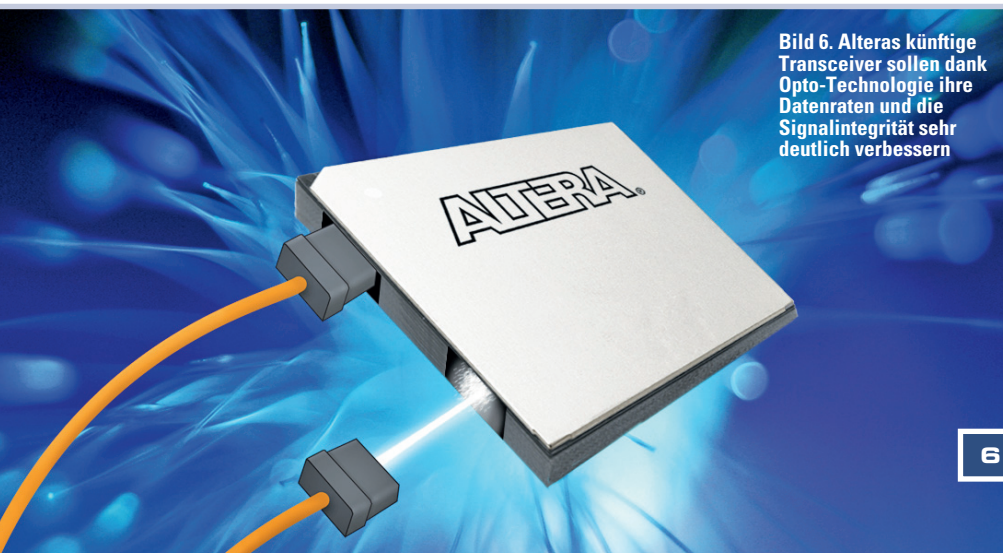
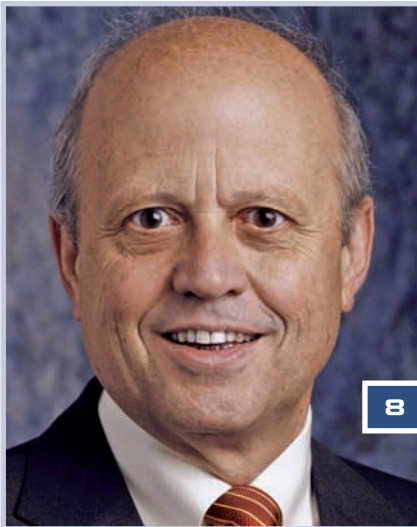


Bild 6. Alteras künftige Transceiver sollen dank Opto-Technologie ihre Datenraten und die Signalintegrität sehr deutlich verbessern

6



8

Bild 8. Walden C. Rhines, Mentor Graphics: Schon auf der Known-Good-Die-Stufe ist eine sehr niedrige Defektrate nötig, um in der Fertigung von 3D-ICs eine akzeptable Endausbeute zu erhalten

Rhines weist besonders darauf hin, dass bereits auf der so genannten Known-Good-Die-Stufe eine sehr niedrige Defektrate erstellt werden muss, damit in der Produktion der 3D-ICs eine akzeptable Endausbeute realisiert werden kann. Eine weitere Herausforderung der 3D-ICs ist der komplette Test der gefertigten Multi-Die-Struktur. Die Tessent-Produkte, bestehend aus TestKompress, Logic-BIST, „MemoryBIST“, „BoundaryScan“, „PLLTesT“ und „SerdesTest“ bieten eine homogene Test-Infrastruktur für diese Die-Strukturen, einschließlich Prozessor-Cores, Logik, Speicher und schneller I/Os.

Power-Analyse und -Optimierung für ICs und Systeme. Apache Design Solutions hat sich seit der Firmengründung 2001 auf die Lösung eines akuten Problems der Halbleiterindustrie konzentriert: die Analyse und Optimierung der Leistungsaufnahme von Chips und Systemen. Und Andrew Yang, CEO des Unternehmens, sieht sich mit seinen Produkten (Bild 9) durch konstanten Umsatzzuwachs (2010: +27 Prozent, keine Schulden) und 73 Prozent Marktanteil auf dem Gebiet der physikalischen Power-Analyse voll bestätigt.

„PowerArtist“ ist eine komplette RTL-Design-for-Power-Plattform mit voll integrierter Analyse und automatischen Reduzierungstechnologien, die Leistungseinsparungen von 10 bis 60 Prozent versprechen. Die RTL-Power-reduzierung ist nicht nur sequenzielles

und kombinatorisches Taktgating, sondern sie ist auch ausgelegt für Speicher- und Datenpfadbereiche komplexer IPs und SoC-Designs.

„RedHawk“ ist eine dynamische Power-Integritätslösung, die bis zu 500 Millionen Gates mit Sign-off-Genauigkeit beherrschen kann. Die Effekte simultaner Schalt-Störspannungen (Core, Speicher, I/O), der Entkopplungskapazitäten und On-Chip- sowie Off-Chip (Gehäuse-) Induktivitäten werden ebenfalls genauestens analysiert.

„Totem“ wiederum ist eine Plattform für Power- und Störspannungs-Layouts, ausgerichtet auf Analog- und Mixed-Signal-Designs. Es geht hierbei um globale Kopplungen von Power/Masse-Rauschspannungen, Substrat-Störpegeln sowie Gehäuse/PCB-bedingte kapazitive und induktive Störspannungen hinsichtlich der vorhandenen Speicherelemente, wie Flash und DRAM, sowie schnelle I/Os wie HDMI und DDR und analoge Power-Management-ICs.

„Sentinel“ ist schließlich eine komplette Chip-Gehäuse-System-(CPS-), Co-Design-/Co-Analyse-Lösung, die auf die Power-Integrität auf Systemebene, I/O-SSOs, sowie thermische und EMV-Probleme ausgerichtet ist. Es bietet dem Systemdesigner eine komplette Plattform-Umgebung, die sich von der frühen Prototypenstufe bis zum Sign-off erstreckt.



10

Bild 10. Vin Ratford, Xilinx: Zynq-7000 besteht aus vier ICs, die jeweils einen kompletten ARM Cortex-A9 MPCore SoC mit integrierter programmierbarer Logik in 28-nm-Technologie kombinieren

Erst kürzlich stellte das Unternehmen in diesem Bereich CPM (Chip Power Model) v2.0 vor, das sich mit zahlreichen Funktionen besonders für Systementwicklungen in den Bereichen Automotive und Wireless eignet, einschließlich 3D-ICs und SiP-Designs.

28-nm-FPGA-Serien mit einheitlicher Architektur. Vin Ratford, Senior VP Worldwide Marketing bei Xilinx (Bild 10), stellte während des Summits drei neue

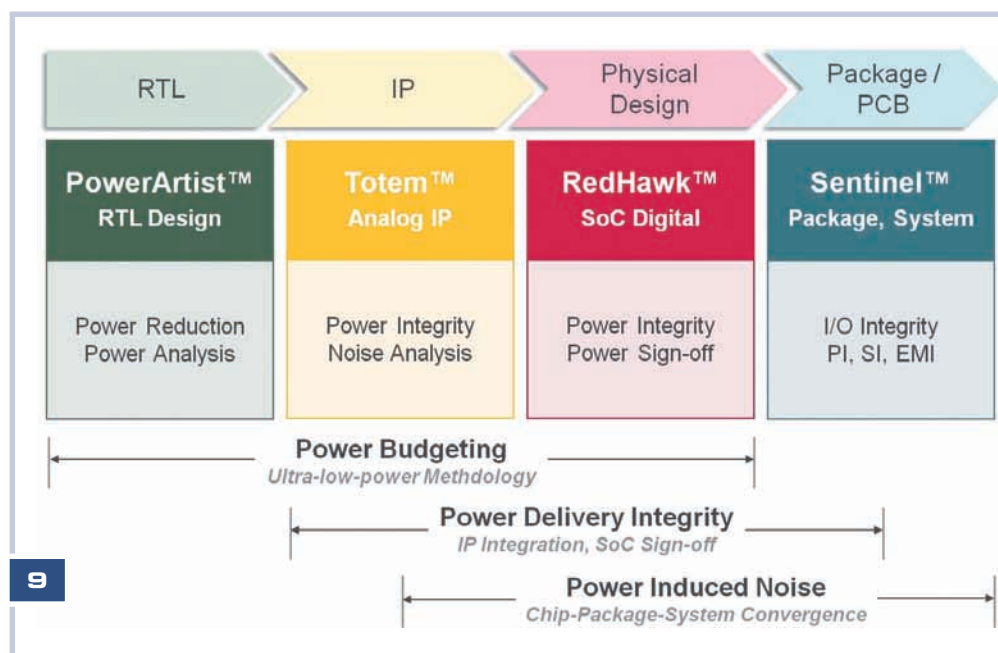


Bild 9. Die Produkte von Apache Design Solutions zielen auf die Analyse und Optimierung der Leistungsaufnahme von Chips und Systemen

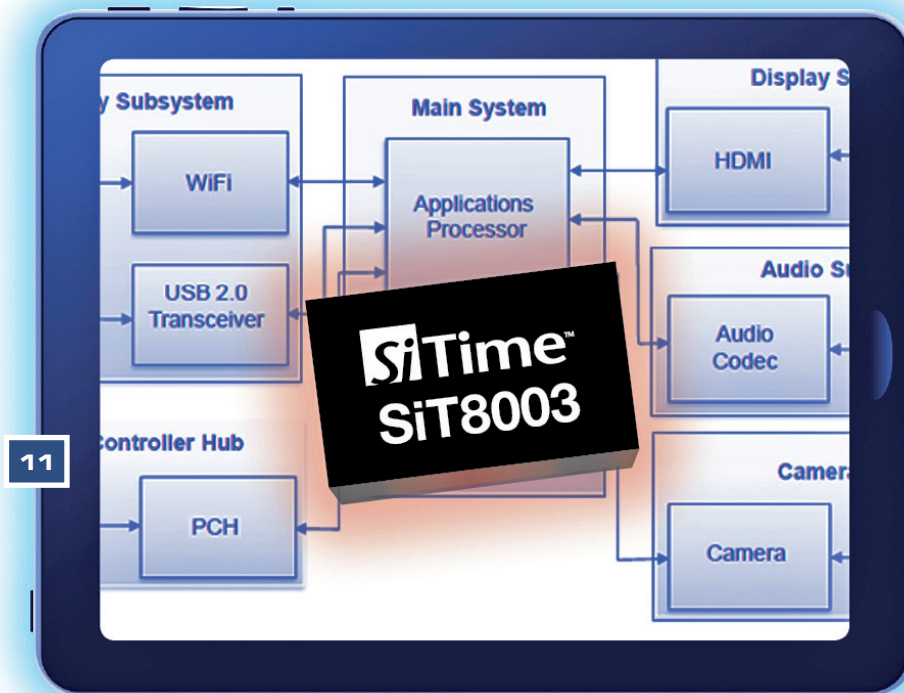


Bild 11. Die Encore-Oszillatoren von SiTime verfügen laut Hersteller über eine sehr gute Stabilität, ein niedriges Phasenrauschen sowie einen geringen Jitter; sie zeigen praktisch keine Alterungserscheinungen

28-nm-FPGA-Familien vor, die nicht nur interessante Spezifikationen sowie eine hohe Design-Portabilität aufweisen, sondern zudem auf einer gemeinsamen Architektur basieren. Eine Migration innerhalb der neuen FPGA-Familien „Artix-7“, „Kintex-7“ und „Virtex-7“ dürfte demzufolge keine Probleme bereiten. Die Adoption der AMBA-4-Advanced-Extensible-Interface- (AXI4-) Spezifikationen, als Teil der Verbindungsstrategie zur Unterstützung eines Plug-and-Play-FPGA-Designs, erhöht noch einmal die Produktivität durch IP-Wiederverwendung, Portabilität und hohe Berechenbarkeit.

Der zweite Teil von Ratfords Vortrag betraf „Zynq-7000“, eine erweiterbare Verarbeitungs-Plattform (EPP), die aus vier ICs besteht, die jeweils einen kompletten ARM Cortex-A9 MPCore SoC mit integrierter programmierbarer Logik in 28-nm-Technologie kombinieren. Jeder

IC kann ein Betriebssystem vom Reset aus mit verfügbarer Logik booten.

Alle genannten Produkte basieren auf den gleichen Funktionsblöcken (Logik, Block-RAM, Takt-Technologie, DSP Slices und SelectIO-Technologie), die so konfiguriert sind, dass praktisch alle Performance-Klassen entsprechender Endprodukte abgedeckt sind. Bereits vorhandene Designs mit älteren Produkten lassen sich portieren.

Silizium-Zeitgeber lösen Quarze ab.

Quarze sind ein unverzichtbarer Bestandteil vieler Elektroniksysteme, wobei diese Bauelemente mehrere Jahrzehnte an Entwicklung brauchten, bis sie eine hohe Stabilität aufweisen konnten. Nach Angaben von von SiTime, Hersteller von Si-MEMS-basierten Zeitgeberlösungen, erreichten deren Resonatoren, Oszillatoren und Taktgeneratoren bereits nach

fünf Jahren nicht nur eine hohe Stabilität, sondern weisen zudem gegenüber Quarzen wesentlich günstigere Lieferzeiten auf. SiTime entwickelt offensichtlich die richtigen Produkte, denn deren Marktanteil liegt mit 30 Millionen versandten Bauelementen bei über 80 Prozent.

Erst kürzlich stellte man die Oszillatorfamilie „Encore“ vor, die über eine sehr gute Stabilität, ein niedriges Phasenrauschen sowie einen geringen Jitter verfügt und praktisch keine Alterungserscheinungen zeigt. Daraus entstehen MEMS-OCXO-, -TCXO- und -VCXO-Lösungen für die Telekommunikation, Netzwerke und Speicherapplikationen.

Das neueste Produkt ist der „SiT8004“, ein programmierbarer Oszillator mit besonders geringer Stromaufnahme (typisch 6,5 mA, 125 MHz). Der Oszillator unterstützt jede Frequenz zwischen 125 MHz und 150 MHz, wobei gängige, vorkonfigurierte Frequenzoptionen mit fünfstelliger Genauigkeit möglich sind (GPON, EPON, Gigabit Ethernet, DDR, PCI, HDMI, SATA). Weitere Merkmale sind ein kompletter Drop-in-Ersatz von Quarzlösungen bei standardisierten SMPs, ein Schockwiderstand von bis zu 50000 g sowie eine Vibrationsunempfindlichkeit bis 70 g.

Auf der Basis des Oszillators „SiT8003“ (Bild 11) stellte SiTime ein Portfolio an MEMS-Oszillatoren für Tablet PCs und E-Book Reader vor, das für jeden größeren Funktionsblock dieser Produkte das notwendige Taktsignal zur Verfügung stellt. Der SiT8003 ist nach Herstellerangaben rund 30 Prozent dünner als vergleichbare Quarze und bietet eine um das Zehnfache bessere Unempfindlichkeit gegenüber Schock und Vibration. (ml)



DER AUTOR

HENNING WRIEDT ist USA-Korrespondent der EL-info – Elektronik Informationen.