

2 極化する FPGA 業界、低電力・小規模市場にラティスやシリコンブルーが活躍

FPGA 業界の 2 極化(参考資料 1)の動きの、もう一方の極に当たるのはローエンドないしミッドレンジ市場である。ローパワーを特長として 2 強の FPGA メーカーが拾いきれなかったところである。ここにラティスセミコンダクタ (Lattice Semiconductor) やシリコンブルー (SiliconBlue) といった米国の中堅ファブレスが注力している。



図 1 Lattice Semiconductor 社 CEO の Darin Billerbeck 氏

ラティスは、微細化は追い求めず、先端プロセスから 1~2 世代遅れた設計ルールを使う。先端プロセスが 28nm ルールなのに対して、ラティスが使う設計ルールは 65nm プロセス。28nm ではリーク電流が多すぎて低消費電力設計ができないからだ、と同社 CEO の Darin Billerbeck 社長は言う。同社の CPLD 製品である MACH O2-256 は 256 個 LUT (ルックアップテーブル) を集積し、その待機時の消費電力はわずか $19\mu\text{W}$ しかない。7000 個の LUT を集積した MACH O2-7000 でさえ $230\mu\text{W}$ にとどまる。「だから当社は携帯機器市場にも食い込んでいる」(同氏)。

「戦略的計画策定を終えた」(同氏) ばかりのラティスが狙うミッドレンジからローエンド市場の規模は、2010 年時点で 41 億ドル、これが 2015 年には 55 億ドルに成長すると見ている。今後 5 年間の年平均成長率は 6.1%となり、プログラマブルロジック市場全体の年平均成長率の 6.5%とほぼ同じ。ちなみにプログラマブルロジック市場全体は 2010 年の 62 億ドルから 2015 年に 85 億ドルに成長すると予想されている(図 2)。

OUR OPPORTUNITY



- The programmable logic market is strong and growing
 - Projected \$8.5B in 2015
 - 5 year CAGR: 6.5%
- Our goal is to grow faster than the market
- Options for growth:
 - Aggressively expand in our existing markets
 - Lower power
 - Lower cost
 - Tailored solutions
 - Develop new capabilities

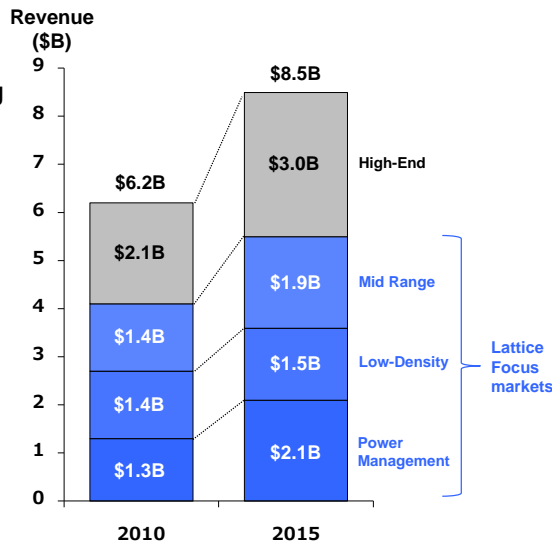


図 2 プログラマブルロジックの市場規模予測 出典 Lattice Semiconductor

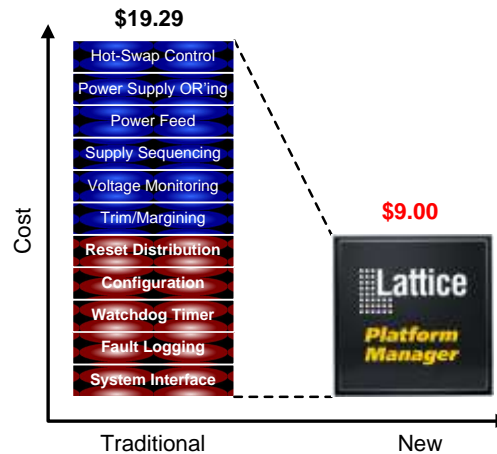
シリコン市場全体を見ると携帯機器やコンピュータ、通信、産業機器、民生などさまざまな分野があり、シリコン半導体に注力するだけで安定した大きな市場に食い込めると Billerbeck 社長は述べており、ハイエンド市場と思われがちな通信インフラ市場にもラティスが食い込める分野がある(図 3)。例えば、通信インフラ装置に搭載するボード内のパワーマネジメント機能に使う。ボードをスワップするのに電源を切らなくても済むようにボード上の電源を監視しておきプラグ&スワップの時に、重要な回路を一時的にシャットダウンしておく。通信装置以外では、フラッシュメモリーの書き込み・消去に使うために高電圧を発生させるチャージポンプ回路などにも使う。

ファブレス企業である同社はファウンドリとして日本のセイコーエプソンの酒田工場と富士通の三重工場を使っており、台湾の TSMC は使っていないという。富士通のプロセス技術を高く評価しており、低消費電力を追求する同社にとっては日本の 2 社は欠かせないとしている。

**PLATFORM MANAGER REDUCES COST UP TO 50%
Value Of Integration**



Functions	1KU Price
Hot-swap	\$ 4.52
Supply OR'ing	\$ 2.40
Power Feed Control	\$ 2.00
Supply Sequencing	\$ 4.72
Voltage Monitoring	\$ 1.05
Reset Distribution	\$ 0.60
Power-On Config	\$ 0.50
Watchdog Timer	\$ 0.20
Fault Logging	\$ 2.50
System Interface	\$ 0.80
Traditional Solution Total Cost	\$19.29
Platform Manager Solution	\$ 9.00



Lattice is committed to continue bringing innovative products to the power and platform management markets

図3 パワーマネージメントを駆使してボードの消費電力を低コストで下げる

新しい市場を探ったり技術を開発したりするための R&D コストを、赤字を出した 2009 年でさえも会社はほとんど削らなかった。2010 年の売り上げは 2 億 9780 万ドルと 53%成長し、営業利益は 5510 万ドル、米国会計基準の純利益は 5710 万ドルとなった。「負債はゼロ」(同氏)とキャッシュフロー経営を推し進めている。

小型化も追求するシリコンブルー

シリコンブルーもラティス社と同様、ロジックゲートの規模は追求しないが、低消費電力を追求する。ラティスと違うのは、チップサイズの縮小も追求することである。狙う市場を携帯機器に絞っているからだ。このため設計ルールはラティスよりも一歩先を行き、現在 40nm プロセスでプログラマブルデバイスを発表したばかり。同社の FPGA は不揮発性メモリーをベースにしたモバイル FPGA と呼ばれている。携帯電話に必要なアプリケーションプロセッサの周辺回路に使うコンパニオン IC と位置付けている。

同社が狙う、ちょっとした携帯機器の分野にも秘められた市場がある。例えば e-Book リーダーのメーカーが使おうとする電子インクディスプレイをサポートしていないアプリケーションプロセッサの周辺回路を設計するとしよう。この e-Book メーカーはいろいろな大きさのディスプレイに対応させたいとしており、しかも光センサーや温度センサーからのデータも処理したい場合には、センサー用の I2C バスを設け、そのアプリケーションプロセッサ用のインターフェース回路を集積したようなディスプレイコントローラを設計する。

外部メモリーを利用し、そのメモリーにセンサー信号に対応するディスプレイドライブのパラメータを記憶しておく。大きさの違うディスプレイにも対応できる。もちろん、タッチ入力や文字認識も取り込みたいという用途にも向く。



図4 シリコンブルー社 CEO の Kapil Shankar 氏

携帯機器狙いであるため、チップ面積の縮小と共にパッケージ面積の縮小も必要なため、ウェーハレベルパッケージング（WLP）技術を使う。これまでの 65nm プロセスを使った iCE65 ファミリー（累計 400 万個以上出荷）で用意した 3×3mm～8×8mm までの WLP パッケージを 40nm プロセスの「ロサンゼルス」（500～8000 セル）と「サンフランシスコ」（3k～24k セル）にも適用していく（図 5）。

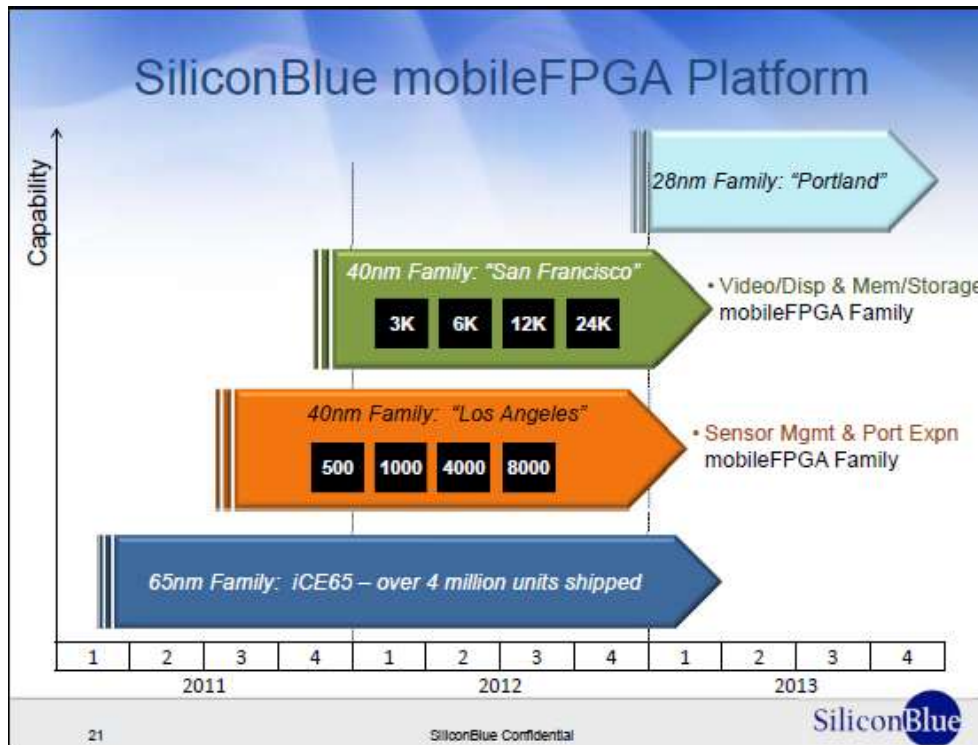


図5 モバイルFPGAのロードマップ

同社 CEO の Kapil Shanker 氏は、「小さな電圧、低い消費電力、小さなパッケージ、多い I/O 数/mm² がわが社の特長」だとしている。小さなチップ面積で FPGA を実現できるのは SRAM ベースのロジックではなく、米国の不揮発性メモリー IP ベンダーのキロパス (Kilopass Technology) 社のライセンスを受け、OTP (One time PROM) ベースのロジックを組んでいるためだ。OTP ベースだとチップ面積は小さく、かつ外部メモリーを置く必要もないため、トータルのボード面積が小さくなるというメリットがある。

ファウンドリとしては、台湾 TSMC の 40nm 低電力 (LP) 標準 CMOS プロセスを使う。さらに WLP のパッケージは台湾の ASE を使っている。今後のロードマップとして 2012 年以降に 28nm プロセスの「ポートランド」製品シリーズも計画している。

参考資料

1. 2 極化する FPGA 業界、ザイリンクスとアルテラの 2 強はハイエンドへ (2011/04/27)
<http://www.semiconportal.com/archive/editorial/technology/chips/110427-fpga.html>

(2011/04/28)